

04063460 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 05-055160 [JP 5055160 A]

PUBLISHED: March 05, 1993 (19930305)

INVENTOR(s): KATO YUICHI

APPLICANT(s): SEIKO INSTR INC [000232] (A Japanese Company or Corporation),
JP (Japan)

APPL. NO.: 03-219023 [JP 91219023]

FILED: August 29, 1991 (19910829)

ABSTRACT

PURPOSE: To reduce the doping steps in number and to simplify the process by reducing in thickness a second polycrystalline silicon film, patterning first and second polycrystalline silicon films, and then doping the first and second polycrystalline silicon films once and further doping the source, drain.

CONSTITUTION: A gate oxide film 2, a first polycrystalline silicon film 3, further an interlayer insulating film 4 and a second polycrystalline silicon film 5 are sequentially deposited on a semiconductor substrate 1. The film 5 is so set in thickness to 1000 angstroms or less as to easily dope the film 3. The films 3, 5 are doped by ion implanting. Energy and dose are controlled to individually determine concentrations of the films 3, 5. After the films 3, 5 are patterned, a source 6, a drain 7 are formed, thereby manufacturing a MOS transistor.

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-55160

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/265				
29/62	G	7736-4M		
29/784				
		8617-4M	H 0 1 L 21/265	G
		8225-4M	29/78	3 0 1 G
			審査請求 未請求 請求項の数3(全 3 頁)	

(21)出願番号 特願平3-219023

(22)出願日 平成3年(1991)8月29日

(71)出願人 000002325

セイコー電子工業株式会社
東京都江東区亀戸6丁目31番1号

(72)発明者 加藤 祐一

東京都江東区亀戸6丁目31番1号 セイコ
ー電子工業株式会社内

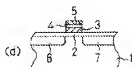
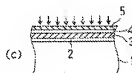
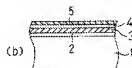
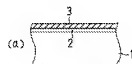
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】 第1多結晶シリコン膜3、潤滑絶縁膜4、第2多結晶シリコン膜5を形成後、イオン注入により第1および第2多結晶シリコン膜3、5のドーピングを一度に行う。その後、第1多結晶シリコン膜3、第2多結晶シリコン膜5をパターニング後、ソース、ドレインを形成しMOSトランジスタを形成する。

【効果】 1回のイオン注入で、第1および第2の多結晶シリコン膜をドーピングし、あるいは更にソース、ドレインを形成しているため、従来に比べドーピング工程を減らし、プロセスを簡便化できるという効果がある。



【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1の多結晶シリコン膜を堆積する工程と、前記第1の多結晶シリコン膜上に層間絶縁膜を形成する工程と、前記層間絶縁膜上に第2の多結晶シリコン膜を堆積する工程と、イオン注入法により前記第1および第2の多結晶シリコン膜に同時に不純物ドーピングする工程とから成る半導体装置の製造方法。

【請求項2】 前記第2の多結晶シリコン膜を堆積する前記工程の後、前記第1および第2多結晶シリコン膜をリソグラフィおよびエッチングでパターンニングする工程と、前記第1および第2の多結晶シリコンおよびソース・ドレイン領域にイオン注入法により同時に不純物をドーピングする工程とから成る請求項1記載の半導体装置の製造方法。

【請求項3】 前記イオン注入後に高酸処理を施す工程を増加することを特徴とする請求項1および2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、2層多結晶シリコンゲートを有するMOSトランジスタの製造方法に関する。

【0002】

【従来技術】 従来技術を図4を用いて説明する。半導体基板1にゲート酸化膜2を形成し、その後第1多結晶シリコン膜3を堆積してドーピングを行う（図4（a））。次に層間絶縁膜4を形成し、さらにその上に第2多結晶シリコン膜5を堆積してドーピングを行う（図4（b））。その後、エッチングによってゲート電極3、5を形成し（図4（c））、ソース6、ドレイン7をイオン注入により形成する（図4（d））。

【0003】

【発明が解決しようとする課題】 しかしながら、上述のごとく2層の多結晶シリコン膜のドーピングをそれぞれ行う必要が複雑になる。また、ソース・ドレインのイオン注入も必要のためドーピングを2回行っていた。

【0004】

【課題を解決するための手段】 そこで、第2の多結晶シリコン膜を薄くして、第1、第2の多結晶シリコン膜をパターンニングしたのちに第1及び第2の多結晶シリコン膜、さらにソース・ドレインのドーピングを一度に行ってしまう。

【0005】

【作用】 上記手段により、多結晶シリコン膜への2回のドーピング工程を削除することができる。

【0006】

【実施例】 本発明の第1実施例を図1を用いて説明する。図1（a）は半導体基板1にゲート酸化膜2を形成

し、第1多結晶シリコン膜3を堆積した図である。その後、層間絶縁膜4を形成し、第2多結晶シリコン膜5を堆積する（図1（b））。第1、第2の多結晶シリコン膜3、5へのドーピングの必要はない。第2多結晶シリコン膜5の厚さは、第1多結晶シリコン膜3へのドーピングが行いやすいよう1000Å以下にする。高エネルギーのイオン注入が行える場合は、もっと厚い膜でも構わない。この後、リンのイオン注入を行うことにより、第1、第2の多結晶シリコン膜3、5へのドーピングを行う（図1（c））。注入種は炭素でも酸素でも構わないが、エネルギーとドーズ量をコントロールすることにより、第1、第2多結晶シリコン膜3、5の濃度を個々に決めることができる。その後、第1、第2多結晶シリコン膜3、5をパターンニングした後、ソース6、ドレイン7を形成して2層多結晶シリコン膜のMOSトランジスタを作製することができる（図1（d））。層間絶縁膜4形成前に多結晶シリコン膜3をパターンニングしておけば、不揮発性メモリを作製することも可能となる。

【0007】 図2は本発明による第2実施例である。図2（a）、（b）までは第1実施例と同様である。その後、多結晶シリコン膜3、5をパターンニングしてゲート電極を形成し（図2（c））、その後、イオン注入により第1、第2の多結晶シリコン膜3、5へのドーピングと同時にソース6、ドレイン7を形成することができる（図2（d））。

【0008】 図3は本発明による第3実施例である。ソース、ドレインを形成するまでは図2（a）～（d）にある第2実施例の製造方法と同様である。しかし、第3実施例においては第2多結晶シリコン膜が薄く、コンタクトパッドが得られない場合のために更に、サリサイドプロセスを用いる。図2（d）の工程を経たのちソース6、ドレイン7上の酸化膜を除去する（図3（a））。【0009】 その後、高融点金属サリサイド8をスパッタして第2多結晶シリコン膜5の上およびソース6、ドレイン7の上に堆積する（図3（b））。これにより、ゲートおよびソース、ドレインの低抵抗化が可能となった。

【0010】

【発明の効果】 以上示したように、本発明においては、2層多結晶シリコンゲートを有するMOSトランジスタを製造するに際して、1回のイオン注入で、第1及び第2の多結晶シリコン膜をドーピングし、あるいは更にソース、ドレインを形成しているの、従来に比べドーピング工程を減らし、プロセスを簡便化できるといった効果がある。

【図面の簡単な説明】

【図1】（a）～（d）は本発明による第1実施例の工程断面図である。

【図2】（a）～（d）は本発明による第2実施例の工程断面図である。

【図3】(a)～(b)は本発明による第3実施例の工程断面図である。

【図4】(a)～(d)は従来技術の工程断面図である。

【符号の説明】

1 半導体基板

2 ゲート酸化膜

* 3 第1多結晶シリコン膜

4 側壁絶縁膜

5 第2多結晶シリコン膜

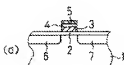
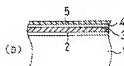
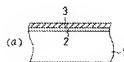
6 ソース

7 ドレイン

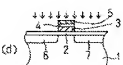
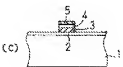
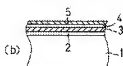
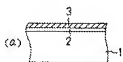
8 高融点金属シリサイド

*

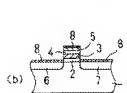
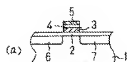
【図1】



【図2】



【図3】



【図4】

